

**WEST**☐ Generate Collection

L2: Entry 8 of 8

File: JPAB

Dec 17, 1981

PUB-NO: JP356164547A  
DOCUMENT-IDENTIFIER: JP 56164547 A  
TITLE: SEMICONDUCTOR MEASUREMENT

PUBN-DATE: December 17, 1981

## INVENTOR-INFORMATION:

NAME

NAGATA, KOHEI

COUNTRY

## ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

APPL-NO: JP55067366

APPL-DATE: May 21, 1980

US-CL-CURRENT: 438/FOR.331; 438/17, 438/102  
INT-CL (IPC): H01L 21/66

## ABSTRACT:

PURPOSE: To simply know the presence or absence of a deep trap level at the interface of an operating layer by measuring the temperature dependence of a current flowing in the operating layer at negative substrate bias in a compound semiconductor wafer grown an N type operating layer at a semi-insulating substrate.

CONSTITUTION: For example, an N type operating layer 2 is epitaxially grown on a semi-insulating GaAs substrate 1 and ohmic contact electrodes 4 are provided on the surface of the layer 2 for sampling. D.C. bias 3 is applied across the electrodes 4 to flow current I under the condition that D.C. bias 5 making the substrate 1 negative against the layer 2 is applied to the substrate 1. The temperature of this sample is varied in the range of -150~150°C, for example, and the temperature dependence of the current I is measured. For example, if a deep trap level becoming activity at a certain temperature exists at the interface between the layer 2 and the substrate 1, a depletion layer 6 generated by bias voltage expands as far as the position 6' and a current value I decreases by this. In this way, the presence or absence of the trap level can easily be measured.

COPYRIGHT: (C)1981,JPO&amp;Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—164547

⑤ Int. Cl.<sup>3</sup>  
H 01 L 21/66

識別記号

庁内整理番号  
6851—5F

⑬ 公開 昭和56年(1981)12月17日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体測定法

川崎市中原区上小田中1015番地  
富士通株式会社内

⑮ 特 願 昭55—67366

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭55(1980)5月21日

川崎市中原区上小田中1015番地

⑱ 発 明 者 永田幸平

⑲ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称 半導体測定法

2. 特許請求の範囲

半絶縁性基板上にn形半導体動作層を成長したウェハー及び半絶縁性基板とn形半導体動作層との間にバッファ層を挿入したウェハーにおいて、動作層中に電流を流しておき動作層に対して基板を負電位になる様に直流電圧を印加し、ある温度範囲で動作層中に流れる電流の温度依存性を測定することにより半絶縁性基板と動作層の界面附近及びバッファ層と動作層附近に存在する深い単位のトラップを測定することを特徴とする半導体測定法。

3. 発明の詳細な説明

本発明は、半導体測定に係り特に化合物半導体基板上に動作層を成長させた半導体及び基板上にバッファ層、動作層を成長した半導体基板に直流バイアスを印加することにより半導体基板と動作層及びバッファ層と動作層との界面附近に存在する深い単位をもつトラップを測定する半導体測定法に関するものである。

従来、化合物半絶縁性基板上のエピ層を動作層とするプレーナデバイスは、最近ではMOS、レーザ等など多く用いられているが、デバイス特性に半導体基板とエピ層界面に起因すると思われる異常現象が多く報告されているが、その一つとして基板バイアス効果というものがある。基板バイアス効果とは、基板上の動作層に対して基板にバイアスを印加すると基板と動作層の界面に存在する空間電荷層が変化し動作層中に流れる電流に変化が生じる現象である。界面に存在する空間電荷層が変化する原因は界面附近に存在する深い単位をもつトラップによることがわかっている。又動作層と基板間にバッファ層を挿入したバッファ層付試料においても基板バイアス効果は観測されている。プレーナデバイスは素子の構造上基板をアース接地しなければならない為、界面付近に深い単位をもつトラップが存在しておれば、基板バイアス効果をさけることができない。従ってデバイスに使用するウェハーの検査をする必要がある。従来、基板バイアス効果の原因になっている深い

位をもつトラップの測定には、基板側にパルスバイアスを印加して、それらによって生じる動作層中の電流のドリフトをDLTS (Deep Level Transient Spectroscopy) 法で測定する電流DLTS測定であった。

この電流DLTS法は、被測定試料の半導体結晶にパルス電界を印加して、結晶中の捕獲単位(トラップ)の電子或は正孔(ホール)の占有率を変化せしめることにより生じた過度応答信号を、被測定試料の温度を変化せしめて測定する方法であって、半導体結晶中の深い単位を調べるには非常に有用な方法である。しかしながら電流DLTS測定では深い単位の定量的な測定が可能であるが測定にあたっては、パルス発振器、ボックスカー及びブリアンプなどの多くの計器を使用しなければならぬし測定にあたって調整が必要である。プレーナデバイスに使用する試料の量産にあたっては、成長された試料に基板バイアス効果を起こす深い単位のトラップの有無を検査する必要があるが、トラップの定量的な測定は必ずしも必要で

ない。従って、従来法では多くの計器を使用する為、経費が多くかかるし、調整の為の時間を要する。という欠点があった。

本発明の目的は簡易な装置によって基板と動作層及びバッファ層と動作層、界面に存在する深い単位のトラップの有無を測定する半導体測定法を提供することにある。

本発明は、測定しようとする試料の動作層上に直流バイアスを印加し電流を流し、動作層と基板間に一定の直流バイアスを印加し、ある温度範囲内で動作層中に流れる電流の温度依存性を測定することによって界面附近に存在する深い単位のトラップの有無を測定しようとするものである。

以下本発明の実施例を詳述する。

第1図は本発明による測定回路の概略図を示す。

1は半絶縁性基板、2はn形動作層である。2上にオーミックコンタクト4を<sup>35</sup>重ね直流バイアス3を印加すると2の動作層の抵抗に相当した電流Iが流れる。動作層2に対して1に負電位の一定バイアス5を印加する。2と1の界面附近に深い単

位のトラップが存在していると界面の空間電荷層6が6'に伸びる、従って2の動作層中の抵抗が増大し電流Iは減少する。その様子を電流計7で読みとればよい。だが深い単位をもつトラップは、ある温度では活性であるが他の温度では不活性という温度依存をもち、トラップは単位の異いにより温度依存性に異いがある。なおトラップが活性であると言うことは基板バイアス効果が大きいと言うことである。従って一定の温度での測定では深い単位のトラップの有無は判定できない。そこで、ある温度範囲内で動作層中に流れる電流の温度依存性を測定すれば、深い単位の最も活性な温度を中心に電流減少ピークが観測される。

試料中に存在する深い単位のトラップの有無及びトラップ数、活性な温度などがわかる。なお基板と動作層との間にバッファ層を挿入したバッファ層付試料についても同様であることは言うまでもない。

次に本発明をもちいた実施例を示す。もちいた試料はGaAs FET用試料で比抵抗 $\sim 10^2 \Omega \cdot \text{cm}$

以上のGaAs半絶縁性基板上にキャリアー濃度 $\sim 10^{14} \text{cm}^{-3}$ 以下のバッファ層を約 $\sim 3 \mu\text{m}$ 成長し、その上にキャリアー濃度 $1 \times 10^{17} \text{cm}^{-3}$ のn形動作層を $\sim 0.5 \mu\text{m}$ 気相成長したものである。動作層上に<sup>40</sup>Au/<sub>±0.0</sub>によりオーミックコンタクトを付け1.5Vの直流バイアスを印加して動作層中に電流を流している。動作層に対して半絶縁性基板に $\sim 5 \text{V}$ のバイアスを印加した。測定温度 $-150^\circ\text{C}$ から $+150^\circ\text{C}$ の温度範囲で電流の温度依存性を測定したものを第2図に示す。図から $-10^\circ\text{C}$ 附近と $+120^\circ\text{C}$ 附近にピークをもつことがわかる。このことから2つの深い単位をもつトラップが存在していることがわかる。第3図には同じ試料を電流DLTS法によって測定した結果を示す。図から $-10^\circ\text{C}$ 附近にピークをもつ活性化エネルギー $\sim 0.5 \text{eV}$ 、及び $+120^\circ\text{C}$ 附近にピークをもつ活性化エネルギー $\sim 0.9 \text{eV}$ の深い単位のトラップが観測されていることがわかる。

従って本発明をもちいれれば簡易な装置によってプレーナデバイスに大きな影響をおよぼす基板と

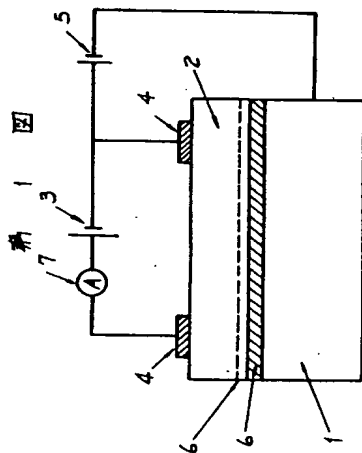
動作層及びバッファ層と動作層、界面附近に存在する深い位のトラップの有無及びトラップ数などが簡単に測定することができ、デバイスに使用する半導体ウェハーの検査として大きな効果がある。

#### 4. 図面の簡単な説明

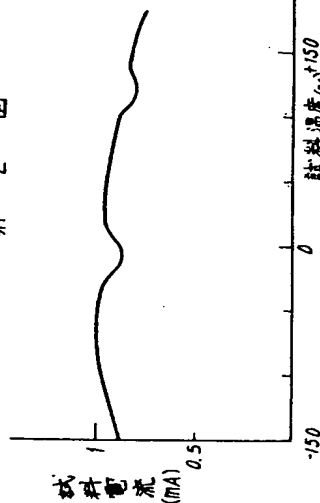
第1図は本発明による測定回路の概略図、第2図は本発明の方法により測定した電流の温度依存性を示す図、第3図は電流D L T法により測定した電流の温度依存性を示す図である。

1は半導体性基板、2はn形動作層、3は2に印加する直流バイアス、4はオーミックコンタクト、5は基板に印加する直流バイアス、6は界面附近の空間電荷、6'は2に広がった空間電荷層、7は電流計。

代理人 弁理士 松岡 宏 四郎



第 2 図



第 3 図

